



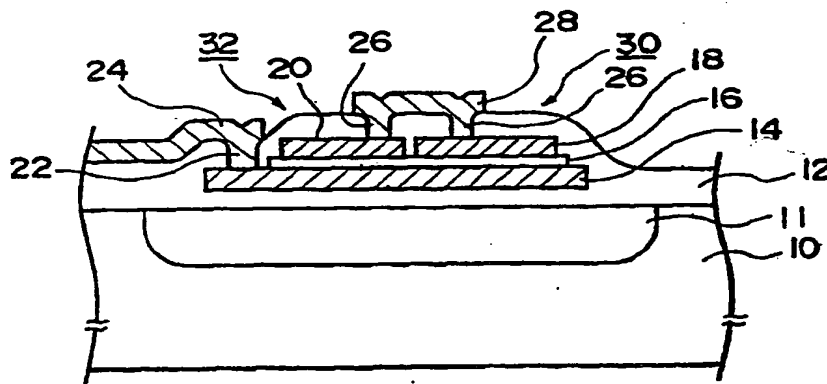
PCT

特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類6 H01L 27/04</p>	<p>A1</p>	<p>(11) 国際公開番号 WO98/43298</p> <p>(43) 国際公開日 1998年10月1日(01.10.98)</p>
<p>(21) 国際出願番号 PCT/JP98/01264</p> <p>(22) 国際出願日 1998年3月24日(24.03.98)</p> <p>(30) 優先権データ 特願平9/70257 1997年3月24日(24.03.97) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 大輪義仁(OHWA, Yoshihito)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p>		<p>(81) 指定国 JP, US.</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: SEMICONDUCTOR CAPACITANCE DEVICE AND SEMICONDUCTOR DEVICE MADE BY USING THE SAME

(54)発明の名称 半導体容量装置及びそれを用いた半導体装置



(57) Abstract

A semiconductor capacitance device comprising a 1st capacitive element (30) having a 1st coefficient K_1 (<0) of voltage dependence, a 2nd capacitive element (32) having a 2nd coefficient K_2 (>0) of voltage dependence whose sign is opposite to the sign of the 1st coefficient K_1 , and wiring layers (24, 28) by which the 1st and 2nd capacitive elements are connected to each other in parallel or in series. The 1st capacitive element (30) has an N-type 1st doped polysilicon layer (14), an N-type 2nd doped polysilicon layer (18) which faces the 1st polysilicon layer (14), and an insulating film (16) provided between the two doped polysilicon layers (14, 18). The 2nd capacitive element (32) has the N-type 1st doped polysilicon layer (14), a P-type 3rd doped polysilicon layer (20) which faces the 1st polysilicon layer (14), and the insulating film (16) provided therebetween. Letting the effective areas of the 1st and 2nd capacitive elements (30 and 32) be S_1 and S_2 respectively, the capacitance per unit area of the insulating film of the elements (30 and 32) be C_0 , and the applied voltage be E , the net capacitance C is expressed by $C = [1 + E\{K_1.S_1/(S_1 + S_2) + K_2.S_2/(S_1 + S_2)\}]$. As the signs of K_1 and K_2 are opposite to each other, the voltage dependency of the net capacitance C is reduced.

57)要約

この半導体容量装置は、第1の電圧依存係数 K_1 (<0)を持つ第1の容量素子(30)と、第1の電圧依存係数 K_1 とは逆符号の第2の電圧依存係数 K_2 (>0)を持つ第2の容量素子(32)と、第1, 第2の容量素子を並列または直列に接続する配線層(24, 28)とを有する。第1の容量素子(30)は、N型の第1のドーパドポリシリコン層(14)と絶縁膜(16)を介して対向配置されるN型の第2のドーパドシリコン層(18)を有する。第2の容量素子(32)は、N型の第1のドーパドポリシリコン層(14)と絶縁膜(16)を介して対向配置されるP型の第3のドーパドシリコン層(20)を有する。トータル容量値 C は、第1, 第2の容量素子(30), (32)の有効面積を S_1 , S_2 とし、各素子(30), (32)の絶縁膜の単位面積あたりの容量を C_0 とし、印加電圧を E とすると、

$$C = [1 + E \{K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)\}]$$

となり、 K_1 , K_2 の符号が逆であるので、トータル容量 C の電圧依存性は低減される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GA	ガボン	LT	リトアニア	SN	セネガル
AU	オーストラリア	GB	英国	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GD	グレナダ	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	TG	トーゴ
BB	バルバドス	GH	ガーナ	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GN	ギニア	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BG	ブルガリア	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
BJ	ベナン	GR	ギリシャ	ML	マリ	UA	ウクライナ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UG	ウガンダ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	US	米国
CA	カナダ	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CG	コンゴ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラビア
CH	スイス	IS	アイスランド	NL	オランダ	ZW	ジンバブエ
CI	コートジボアール	IT	イタリア	NO	ノールウェー		
CM	カメルーン	JP	日本	NZ	ニュージーランド		
CN	中国	KE	ケニア	PL	ポーランド		
CU	キューバ	KG	キルギスタン	PT	ポルトガル		
CY	キプロス	KR	北朝鮮	RO	ルーマニア		
CZ	チェコ		韓国	RU	ロシア		
DE	ドイツ	KZ	カザフスタン	SD	スーダン		
DK	デンマーク	LC	セントルシア	SE	スウェーデン		
EE	エストニア	LI	リヒテンシュタイン	SG	シンガポール		
ES	スペイン	LK	スリ・ランカ	SI	スロヴェニア		

明 細 書

半導体容量装置及びそれを用いた半導体装置

技術分野

本発明は半導体容量装置及びそれを用いたアナログ集積回路などの半導体装置に係わり、特に印加電圧による容量値の変動を低減した改良に関する。

背景技術

従来、半導体基板上に高精度で安定な容量素子を形成する技術としては、例えば、図25およびそのA-A'断面図である図26に示す2層ポリシリコン4、5にて形成される容量素子を挙げることができる。各図に示すように、半導体基板1上に、絶縁膜3を形成し、その上に第1のドーパドポリシリコン層4、絶縁層5、第2のポリシリコン層6を形成している。ここで、図26に示すウェル2は、半導体基板1から容量素子へ伝ばりする電氣的雑音を遮断する目的で一般的に使われている。また、図25に示すように、第1、第2のポリシリコン層4、6にはコンタクトホール8を介して配線7が接続されている。

しかし、容量素子を構成する電極が半導体であるために、容量素子への印加電圧に基づいて電極表面が空乏層化し、容量素子の容量値が印加電圧に依存して変化する。この特性変動を緩和するために、ポリシリコン電極の不純物濃度を高くする方法もある。しかし、容量素子のポリシリコン電極は、MOSプロセスを併用して形成されるため、容量素子側の事情で不純物濃度を高くすることは容易ではない。

あるいは、特開平6-69522にみられるように、半導体電極層間の絶縁膜に接する電極表面領域の不純物濃度を他の領域より高濃度にする方法もあるが、製造工程を複雑化し製造コストの増加を招くという欠点がある。

このように、従来の2層ポリシリコン容量装置は、半導体電極である限りは電極表面の空乏層化はなくなり、容量値の電圧依存性が存在することは避けられ

ない。一方、2層とも金属電極層にした容量素子もあるが、プロセスの安定性と高精度化が難しい。

本発明の目的は、前記欠点を解決するものであり、従来の製造工程を大幅に変更することなく、容量値の電圧依存性を大きく低減した半導体容量装置及びそれを用いた半導体装置を提供することにある。

発明の開示

本発明に係る半導体容量装置の一態様によれば、

第1の電圧依存係数 K_1 を持つ第1の半導体容量素子と、

第1の電圧依存係数 K_1 とは逆符号の第2の電圧依存係数 K_2 を持つ第2の半導体容量素子と、

第1、第2の容量素子を並列または直列に接続する配線層と、
を有することを特徴とする。

このような構成によれば、第1、第2の半導体容量素子は互いの電圧依存特性を打ち消し合い、並列あるいは直列接続された第1、第2の半導体容量素子のトータル容量の電圧依存性を大きく低減させることができる。

ここで、第1の半導体容量素子の有効面積を S_1 とし、第2の半導体容量素子の有効面積を S_2 とした場合、 $|K_1| < |K_2|$ のときに、 $S_1 > S_2$ に設定することが好ましい。こうすると、例えば直列接続の時のトータル容量値の電圧依存係数 $|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)|$ の値を小さくすることができ、これによりトータル容量の電圧依存性を大きく低減させることができる。なお、 $|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)| < 100 \text{ ppm/V}$ とすれば、実用上の印加電圧及び容量の範囲で、トータル容量値の電圧依存性をほとんど無視できる。特に、 $|K_1 \cdot S_1| \div |K_2 \cdot S_2|$ とすれば、 $|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)| \div 0$ とでき、トータル容量値の電圧依存性を無視できる。

本発明に係る半導体容量装置の他の態様によれば、

第1の容量素子と、

前記第 1 の容量素子と並列または直列接続された第 2 の容量素子と、
を有し、

前記第 1 の容量素子は、

第 1 電極層と、

前記第 1 電極層に対して絶縁膜を介して対向配置される第一導電型半導体から
成る第 2 電極層と、

を有し、

前記第 2 の容量素子は、

第 3 電極層と、

前記第 1 電極層に対して絶縁膜を介して対向配置される第二導電型半導体から
成る第 4 電極層と、

を有することを特徴とする。

このような構成によれば、第 1 の容量素子の電圧依存係数は第一導電型半導体
から成る第 2 電極層により支配的に定まり、第 2 の容量素子の電圧依存係数は第
二導電型半導体から成る第 4 電極層により支配的に定まり、両者の電圧依存係数
の符号は互いに逆となる。従って、上述した第 1、第 2 の電圧依存係数 K_1 、 K_2
と同じ関係が確保されるので、並列あるいは直列接続された第 1、第 2 の容量
素子のトータル容量値の電圧依存性を大幅に低減できる。

ここで、第 1 の容量素子の第 1 電極層と、第 2 の容量素子の第 3 電極層とは、
同一工程で成膜される同一材質にて形成することができる。こうすると、第 1 の
容量素子の第 1 電極層と、第 2 の容量素子の前記第 3 電極層とを共に、第一導電
型または第二導電型のいずれか一方の半導体にて形成することができる。

さらに上記の場合、第 2 電極層中の不純物濃度は第 1 電極層中の不純物濃度よ
り低く、第 4 電極層中の不純物濃度は第 3 電極層中の不純物濃度より低くするこ
とが好ましい。半導体電極の空乏層は、不純物濃度が薄い方の電極においてその
広がりが大きくなり、容量値の電圧依存性に大きく影響するからである。不純物
濃度が低く、しかも導電型の異なる半導体から成る第 2、第 4 電極によって、容
量値の電圧依存係数の正負の符号を異ならせることができる。

第1電極層と第3電極層とは、第2電極層及び第4電極層と対向する位置に亘って連続形成される一つの電極層とすることもできる。

また、第2電極層は第一導電型のウェルにて形成され、第4電極層は第二導電型のウェルにて形成することができる。このような一例として、第1、第2の容量素子を共にMOSキャパシタとして構成できる。

第1の容量素子の第2電極層を形成する第一導電型半導体と、第2の容量素子の第4電極層を形成する第二導電型半導体とを半導体接合することもできる。こうすると第2、第4電極間にスペースが不要となり面積効率が向上する。

第1の容量素子の第1、第2電極層が対向する面積を S_1 とし、第2の容量素子の第3、第4電極層が対向する面積を S_2 としたとき、各面積 S_1 、 S_2 を異ならせることもできる。特に、第1、第2の容量素子の電圧依存係数の絶対値が異なる場合には、トータル容量値の電圧依存性をさらに低減させるファクターとして面積比 S_1/S_2 を変更することが効果的である。

ここで、第1の容量素子の電圧依存係数を K_1 とし、第2の容量素子の電圧依存係数を K_2 としたときに、トータル容量値の電圧依存性をさらに低減するための S_1 、 S_2 、 K_1 、 K_2 の関係は上述した通りである。

本発明に係る半導体装置によれば、上述した半導体容量装置が形成された基板と、前記基板上に形成され、ドレイン領域、ソース領域及びゲート電極を含む少なくとも一つのトランジスタと、を有することを特徴とする。

半導体装置と少なくとも一つのトランジスタにより、デジタル・アナログコンバータ、積分器、RCアクティブフィルタなど、容量値の電圧依存性を低減することで特性の向上を図ることができる各種の半導体回路を構成できる。

このとき、半導体容量装置の第2電極層及び第4電極層と、トランジスタのゲート電極とは、同一工程で成膜される同一材質にて形成することが好ましい。トランジスタの製造工程を併用して半導体容量装置の電極を形成できるからである。

この場合、第1、第2の半導体容量素子は少なくとも一つのトランジスタのフィールド酸化膜上に形成することができる。

第一導電型半導体にて第1の容量素子の第2電極層を構成する場合、少なくと

も一つのトランジスタの第一導電型のウェル領域へのイオン注入工程と同一工程を用いて、この第2電極層に不純物イオンを注入することができる。

あるいは、第二導電型半導体にて第2の容量素子の第4電極層を構成する場合、少なくとも一つのトランジスタの第二導電型のウェル領域へのイオン注入工程と同一工程を用いて、この第4電極層に不純物イオンを注入することができる。

さらに、デュアルゲートCMOSの場合などでは、PMOS及びNMOSの各々のソース・ドレインへのイオン注入工程を利用して、第2電極、第4電極にそれぞれ所望のイオン注入を行うことができる。

図面の簡単な説明

図1は、本発明の第1実施例に係る半導体容量装置の概略平面図である。

図2は、図1のA-A'断面図である。

図3は、図1、図2に示す半導体容量装置の等価回路図である。

図4は、本発明の第1実施例に係る半導体容量装置の容量値の電圧依存性を示す特性図である。

図5は、図4中の特性1を測定した実験装置の模式図である。

図6は、図4中の特性2を測定した実験装置の模式図である。

図7は、本発明の第2実施例に係る半導体容量装置の概略平面図である。

図8は、図7のA-A'断面図である。

図9は、本発明の第3実施例に係る半導体容量装置の概略平面図である。

図10は、図9のA-A'断面図である。

図11は、図9、図10に示す半導体容量装置の等価回路図である。

図12は、本発明の第4実施例に係る半導体容量装置の概略平面図である。

図13は、本発明の第5実施例に係る半導体容量装置の概略平面図である。

図14は、本発明の第6実施例に係る半導体装置の第1工程を示す断面図である。

図15は、本発明の第6実施例に係る半導体装置の第2工程を示す断面図である。

図 16 は、本発明の第 6 実施例に係る半導体装置の第 3 工程を示す断面図である。

図 17 は、本発明の第 6 実施例に係る半導体装置の第 4 工程を示す断面図である。

図 18 は、本発明の第 6 実施例に係る半導体装置の第 5 工程を示す断面図である。

図 19 は、本発明の第 6 実施例に係る半導体装置の第 6 工程を示す断面図である。

図 20 は、本発明の第 6 実施例に係る半導体装置の第 7 工程を示す断面図である。

図 21 は、本発明の第 7 実施例に係る半導体容量装置の概略断面図である。

図 22 は、本発明の第 8 実施例に係る半導体装置の回路図である。

図 23 は、本発明の第 8 実施例に係る半導体装置の他の回路図である。

図 24 は、本発明の第 8 実施例に係る半導体装置のさらに他の回路図である。

図 25 は、従来の半導体容量装置の概略平面図である。

図 26 は、図 25 の A-A' 断面図である。

発明を実施するための最良の形態

(第 1 実施例)

次に本発明に係る半導体容量装置の第 1 実施例を図 1 および図 2 に示す。図 1 は半導体容量装置の平面図であり、図 2 は図 1 の A-A' 断面図を示す。

図 1 および図 2 において、半導体基板 10 上には絶縁膜 12 を介して、本発明の第 1、第 3 電極層を兼ねる例えば第 1 のドーパドポリシリコン層 14 が形成されている。この第 1 ドーパドポリシリコン層 14 上には、絶縁層 16 を介して、本発明の第 2 電極層である例えば第 2 のドーパドポリシリコン層 18 と、本発明の第 4 電極層である第 3 のドーパドポリシリコン層 20 とが形成されている。

そして、第 1 のドーパドポリシリコン層 14、絶縁層 16 および第 2 のドーパドポリシリコン層 18 で、第 1 の容量素子 30 を形成している。また、第 1 のド

ードポリシリコン層 14、絶縁層 16 および第 3 のードポリシリコン層 20 で、第 2 の容量素子 32 を形成している。

ここで、図 2 中の 11 はウェルを示し、半導体基板 1 から容量素子へ伝搬する電氣的雑音を遮断する目的で一般的に使われている。また、第 1 のードポリシリコン層 14 は、コンタクトホール 22 に埋設された第 1 の配線層 24 に接続されている。一方、第 2、第 3 のードポリシリコン層 18、20 は、それぞれコンタクトホール 26 に埋設された第 2 の配線層 28 に接続されている。

これにより、第 1、第 2 の容量素子 30、32 は、図 3 に示すように並列接続されている。

ここで、例えば、前記第 1 および第 2 の容量素子 30、32 に共用される第 1 のードポリシリコン層 14 は、第 2、第 3 のードポリシリコン層 18、20 に比べ不純物濃度が比較的高い N 型半導体で形成されている。第 1 の容量素子 30 の第 2 のードポリシリコン層 18 は、第 1 のードポリシリコン層 14 と同一導電型で、かつ第 1 のードポリシリコン層 14 に比べ不純物濃度の比較的低い N 型半導体で形成されている。第 2 の容量素子 32 の第 3 のードポリシリコン層 20 は、第 1 のードポリシリコン層 14 と逆導電型で、かつ第 1 のードポリシリコン層 14 に比べ比較的不純物濃度の低い P 型半導体で形成されている。

このとき、図 4 に示すように、第 1 の容量素子 30 の電圧依存特性である特性 1 と、第 2 の容量素子 32 の電圧依存特性である特性 2 とは、その各傾き（後で説明する容量値の電圧依存係数 K_1 、 K_2 ）の符号が互いに正負で逆符号となる特性を示す。以下、その理由について説明する。

図 5 および図 6 は、特性 1、2 を計測した時の第 1、第 2 の容量素子 30、32 への電圧印加装置を模式的に示している。図 5 および図 6 のいずれも、電圧可変型のバイアス用直流電源 40 と、そのバイアス用直流電圧に重畳される交流の信号を出力するための交流電源 42 とを有する。なお、第 2 のードポリシリコン層 18 上には WSi 膜 19 を形成している。

図 5 に示す第 1 の容量素子 30 に印加される直流電圧 E (> 0) の値を大きく

すると、上層の第2のドーパドポリシリコン層18の絶縁層16と接する側の表面が電子の空乏 (Depletion) 状態となり、これは第1の容量素子30の実効電極間距離が広がる方向に作用する。一方、下層の第1のドーパドポリシリコン層14では、直流電圧 E の値を大きくすると、絶縁層16と接する側の表面が電子の蓄積 (Accumulation) 状態となり、これは第1の容量素子30の実効電極間距離を狭める方向に作用する。なお、直流電圧 E が負のときは、各層14, 18はそれぞれ実効電極間距離を上記とは逆方向に移行させるように作用する。

ところで、容量値の電圧依存性は、不純物濃度が低い場合に顕著となる。本実施例では第2のドーパドポリシリコン層18の不純物濃度が第1のドーパドポリシリコン層14よりも低くなっているため、容量値の電圧依存性に関して第2のドーパドポリシリコン層18が支配的に作用する。この結果、直流電圧 $E > 0$ であれば、その絶対値が大きくなると第1の容量素子30の実効電極間距離は広がり、直流電圧 $E < 0$ であれば、その絶対値が大きくなると第1の容量素子30の実効電極間距離は狭まる。

このため、図4の特性1に示すように、第1の容量素子30への印加電圧 E (< 0) の絶対値が大きくなると、その容量値が減少する電圧依存特性を呈し、第1の容量素子30への印加電圧 E (< 0) の絶対値が大きくなると、その容量値が増加する電圧依存特性を呈する。

第2の容量素子32では、支配的に作用する第3のドーパドポリシリコン層20は、直流電圧 E (> 0) の値を大きくすると、絶縁層16と接する側の表面での電子が蓄積 (Accumulation) 状態となるため、これは第2の容量素子32の実効電極間距離を狭める方向に作用する。また、直流電圧 E (< 0) の絶対値を大きくすると、絶縁層16と接する側の表面での電子が空乏 (Depletion) 状態となるため、これは第2の容量素子32の実効電極間距離を広める方向に作用する。

従って、図4の特性2に示すように、第2の容量素子32への印加電圧 E (> 0) が大きくなるとその容量値が増加する電圧依存特性を呈し、印加電圧 E (< 0) の絶対値が大きくなるとその容量値が減少する電圧依存特性を呈する。

図4の特性1, 2はほぼ鏡像関係にあるが、本実験によれば特性1での容量値

の電圧依存性は -380 ppm/V であり、特性2での容量値の電圧依存性は $+750 \text{ ppm/V}$ であった。

ここで、直流電圧 E が正の場合を考えると、バイアス直流電圧 E が0のときの第1の容量素子30の容量値を $C1$ とし、電圧依存性により変動する容量値を $-\Delta C1$ とする。同様に、バイアス直流電圧 E が0のときの第2の容量素子32の容量値を $C2$ とし、電圧依存性により変動する容量値を $+\Delta C2$ とする。

ところで本実施例では、電圧依存性容量値の符号が互いに逆となる第1、第2の容量素子30、32を並列接続している。

従って、第1、第2の容量素子30、32によるトータル容量 C は、

$$C = C1 + C2 + (-\Delta C1 + \Delta C2) \quad \dots (1)$$

となる。カッコ内の最終項は、各電圧依存性容量が逆符号であるため互いに打ち消し合い、トータル容量 C の電圧依存性は少なくなることが分かる。本実施例では、図4の特性3がトータル容量 C の電圧依存性を示している。図4から分かる通り、 $-5 \text{ V} < E < +5 \text{ V}$ の範囲では、特性3の電圧依存性は $\pm 60 \text{ ppm/V}$ まで低減させることができた。

さらに、2つの容量素子30、32の容量値の電圧依存特性を限りなくゼロに近づけることが可能である。これは、第1のドープドポリシリコン層14と第2のドープドポリシリコン層18とが対向する対向面積（有効面積） $S1$ と、第1のドープドポリシリコン層14と第3のドープドポリシリコン層20とが対向する対向面積 $S2$ を、それぞれの第1、第2の容量素子の電圧依存係数 $K1$ 、 $K2$ の値に応じて最適化することで達成できる。

ここで、各種の記号を以下の通り定義する。

C_{on} ：第1の容量素子30における酸化膜の単位面積当たりの容量

C_{op} ：第2の容量素子32における酸化膜の単位面積当たりの容量

上記の記号を用いると、並列接続された第1、第2の容量素子30、32のトータル容量 C は下記の式にて表される。

$$C = C1 + C2 = C_{on} (1 + K1 \cdot E) \times S1 + C_{op} (1 + K2 \cdot E) \times S2 \quad \dots (2)$$

ここで、式の簡略化のために、 $C_{on} = C_{op} = C_o$ とすると、

$$\begin{aligned} C &= C_1 + C_2 = C_o [S_1 + S_2 + (K_1 \cdot S_1 + K_2 \cdot S_2) E] \\ &= C_o (S_1 + S_2) \times \\ &\quad [1 + E \{K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)\}] \\ &\quad \dots (3) \end{aligned}$$

となる。

ところで、電圧依存係数 K_1 は図4の特性1の傾きに一致し、本実施例においては $K_1 < 0$ である。一方、電圧依存係数 K_2 は図4の特性2の傾きに一致し、本実施例においては $K_1 > 0$ である。

式(3)を式(1)は同じトータル容量 C を定義したもので、式(1)(2)の記号には下記の関係が成立する。

$$-\Delta C_1 = C_o \cdot K_1 \cdot S_1 \cdot E$$

$$+\Delta C_1 = C_o \cdot K_2 \cdot S_2 \cdot E$$

このように、 $K_1 \cdot S_1$ と $K_2 \cdot S_2$ とは互いに逆符号となるため、式(1)での結論と同じく、トータル容量 C の電圧依存性が少ないことは、式(3)からも理解できる。

さらには、式(3)において、トータル容量 C の電圧依存性をより少なくするには、 $|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)|$ をゼロに近づければよいことが分かる。

$|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)| \div 0$ あるいは $|K_1 \cdot S_1| \div |K_2 \cdot S_2|$ であれば、式(3)は、 $C \div C_o (S_1 + S_2)$ となり、トータル容量 C が電圧 E にほとんど依存しないからである。

事実、この第1実施例においても、 $|K_1| < |K_2|$ であるから、図1及び図2に示すように、 $S_1 > S_2$ とし、 $|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)|$ をゼロに近づけるようにしている。この場合、この第1実施例の面積比 S_1 / S_2 は、第2、第3のドーブドポリシリコン層18、20をパターニングする際のマスク及びエッチング精度に依存するので、面積比の精度を高く確保できる。

実用上は、 $-5V < E < +5V$ の範囲で、 $|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)| < 100 \text{ ppm/V}$ とすれば、トータル容量Cの電圧依存性をほとんど無視できる。なぜなら、式(3)にて、 $0.1 \text{ fF}/\mu\text{m}^2 < C_0 < 1.0 \text{ fF}/\mu\text{m}^2$ の通常の容量値のときには、その電圧依存容量 $C_0 \cdot [K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)] \cdot E$ は、
 $-500 \times 10^{-6} \text{ fF}/\mu\text{m}^2 <$
 $C_0 \cdot [K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)] \cdot E <$
 $500 \times 10^{-6} \text{ fF}/\mu\text{m}^2$

となり、ほとんど無視できるからである。

(第2実施例)

次に本発明の第2実施例を図7および図8に示す。図8は図7のA-A'断面図である。ここでは、第1の容量素子30の第2のドーパドポリシリコン層18と、第2の容量素子32の第3のドーパドポリシリコン層20とを、第1実施例のように分離せず、半導体接合したものである。第2実施例の他の構成は、第1実施例と同じである。なお、金属配線24により、第2のドーパドポリシリコン層18と、第3のドーパドポリシリコン層20とは電氣的に等電位になる。

この第2実施例によれば、第2のドーパドポリシリコン層18と第3のドーパドポリシリコン層20との間には、デザインルールで決まる最小のスペースも不要となるので、第1実施例よりも面積効率が向上する。ただし、第2のドーパドポリシリコン層18と第3のドーパドポリシリコン層20との境界Lにて不純物拡散が生ずるので、第1実施例と比較すれば面積比 S_1 / S_2 の精度は劣る。

(第3実施例)

本発明の第3実施例を図9に示す。図9のA-A'断面を図10に示す。この第3実施例が第1実施例と相違する点は、第1の容量素子30及び第2の容量素子32を直列接続した点であり、その等価回路を図11に示す。

この場合、トータル容量Cは、 $C = C_1 \cdot C_2 / (C_1 + C_2)$ となる。このトータル容量Cの電圧依存性を少なくするには、第1実施例と同様の条件に設定すればよい。ただし、直列接続の場合には、 $C_1 = C_2$ の条件の下では、トータ

ル容量Cは第1実施例の $1/2$ となる。従って、第1実施例の並列接続と同じトータル容量の大きさを確保するには、面積 S_1 、 S_2 をそれぞれ第1実施例の場合の対応する各面積の2倍とする必要がある。

(第4実施例)

本発明の第4実施例を図12に示す。図12では、第1のドーブドポリシリコン層14を、絶縁層16を介して第2、第3のドーブドポリシリコン層18、20の上層に配置した例を示している。この第4実施例の第2、第3のドーブドポリシリコン層18、20を、第2実施例と同様に半導体接続しても良い。

この第4実施例の構造は、配線上は直列接続に適しているが、第2、第3のドーブドポリシリコン層18、20同士を電氣的に接続すれば、並列接続も可能である。

(第5実施例)

本発明の第5実施例を図13に示す。図13では、第2のドーブドポリシリコン層18上層に、第1の絶縁層16Aを介して第1のドーブドポリシリコン層14を設けている。さらに、第1のドーブドポリシリコン層14上層に、第2の絶縁層16Bを介して第3のドーブドポリシリコン層20を設けている。図13は第1、第2の容量素子30、32を並列接続する例を示しているが、直列接続しても良い。

特に、この第5実施例では第2、第3のドーブドポリシリコン層を同一層にて並設する必要がないため、面積効率が向上する。従って、第1、第2の容量素子30、32を直列接続し、かつ並列接続と同様のトータル容量値を確保する場合でも、第3実施例のように占有面積が増大することがない。

(第6実施例)

本発明の第6実施例を、図14～図20を参照して説明する。図14～図20は、本発明の半導体装置の主要製造工程を示す断面図である。

図14に示すように、例えばN型シリコン基板100に、Nウェル102及びPウェル104が形成される。

次に、LOCOS (Local Oxidation of Silicon) 法により、素子分離工程が

行われる。この素子分離工程の実施により、図14に示すように素子分離用のフィールド酸化膜106が、例えば6000～8000Åの厚さにて形成される。なお、この素子分離工程の過程にて、Pウェル104にボロンなどのチャネルストップ用イオンを打ち込むことで、チャネルストップ層108が形成される。

素子分離工程の終了後に、トランジスタの製造工程が実施され、このときの工程を利用して、半導体容量装置も同時に製造される。

このために、図14に示すように、ゲート酸化膜110が、例えば50～200Åの厚さにて形成される。

一方、図14に示すように、フィールド酸化膜106上に第1のポリシリコン層112を形成する。さらに、第1のポリシリコン層112上に、層間絶縁膜114を形成する。この層間絶縁膜114は一層でも良いし、多層でも良い。本実施例では、この層間絶縁膜114を例えば、ゲート酸化膜と同一工程にて成膜される50～200Åの厚さのSiO₂膜と、100～300Åの厚さのSiN_x膜と、50～200Åの厚さのSiO₂膜とで構成している。

次に、図15に示すように、ポリシリコンによりゲート電極116を形成する。このゲート電極116の形成工程を兼用して、層間絶縁膜114上に第2、第3のポリシリコン層118、120を形成する。これらゲート電極及び第2、第3のポリシリコン層118、120は、レジスト膜122を用いて同時にパターンニングされている。

レジスト膜122を除去した後に、イオン注入工程が実施される。図16及び図17は低濃度のイオン注入工程を示し、図19及び図20は高濃度のイオン注入工程を示している。なお、以下に説明する工程は、PMOSとNMOSとでゲート電極116の半導体型が異なる、いわゆるDual-Gate-CMOSの製造工程である。

図16に示すように、先ずNウェル102に低濃度のイオン注入を行うために、Pウェル104の上方領域を第1のマスク130で覆う。その後、例えばBF₃を打ち込むことで、ゲート電極116にセルフアラインされて、ゲート電極116の下方を除く領域であってNウェル102の表面領域に低濃度の不純物が打ち込

まれる。

次に、図17に示すように、Pウェル104に低濃度のイオン注入を行うために、Nウェル104の上方領域を第2のマスク134で覆う。その後、例えばリンを打ち込むことで、ゲート電極116にセルフアラインされて、ゲート電極116の下方を除く領域であってPウェル104の表面領域に低濃度の不純物が打ち込まれる。

これらの低濃度のイオン注入は、LDD (Lightly Doped Drain) 構造を確保するために実施される。

次に、図18に示すように、ゲート電極116の側壁に、例えば材質がSiO₂から成る側壁膜136を形成する。この側壁膜136は、CVD (Chemical Vapor Deposition) 法とエッチバック法を用いることで形成される。

次に、図19に示すように、Pウェル104に高濃度のイオン注入を行うために、Nウェル102の上方領域を第3のマスク138で覆う。その後、例えば $1 \times 10^{15} \sim 10 \times 10^{15} / \text{cm}^2$ の高濃度にてAsを打ち込む。このとき、側壁膜136を有するゲート電極116にセルフアラインされて、ゲート電極116及び側壁膜136の下方を除く領域であって、Pウェル104の低濃度不純物領域よりも深い領域に、高濃度の不純物が打ち込まれる。

この高濃度イオンは、NMOSのソース・ドレイン領域だけでなく、NMOSのゲート電極116と、第1実施例の第1の容量素子30の上部電極と対応する第2のポリシリコン層118にも打ち込まれる。従って、このイオン注入により、第2のポリシリコン層118は第1実施例の第2のドーパドポリシリコン層18となる。

さらに、図20に示すように、Nウェル102に高濃度のイオン注入を行うために、Pウェル104の上方領域を第4のマスク140で覆う。その後、例えば $1 \times 10^{15} \sim 10 \times 10^{15} / \text{cm}^2$ の高濃度にてBF₃を打ち込む。このとき、側壁膜136を有するゲート電極116にセルフアラインされて、ゲート電極116及び側壁膜136の下方を除く領域であって、Nウェル102の低濃度不純物領域よりも深い領域に、高濃度の不純物が打ち込まれる。

この高濃度イオンは、PMOSのソース・ドレイン領域だけでなく、PMOSのゲート電極116と、第1実施例の第2の容量素子32の上部電極と対応する第3のポリシリコン層120にも打ち込まれる。従って、このイオン注入により、第3のポリシリコン層120は第1実施例の第3のドーブドポリシリコン層20となる。

このように、この第5実施例によれば、Dual-Gate-CMOSの製造工程に不可欠なイオン注入工程を利用して半導体容量装置を製造することができる。

(第7実施例)

本発明の第7実施例を図21に示す。図21はMOSキャパシタにて本発明の半導体容量装置を構成した実施例を示している。図21において、シリコン基板200の深部領域にはPウェル202とNウェル204とが形成されている。このPウェル202はV_{ss}電源へ、Nウェル204はV_{dd}電源に接続される。さらにPウェル202よりも浅部の領域にNウェル206が形成され、Nウェル204よりも浅部の領域にPウェル208が形成されている。なお、Pウェル202及びNウェル204は、Nウェル206及びPウェル208の電位を基板電位と異ならせるために設けられ、そうでない場合には不要である。

さらに、シリコン基板200のNウェル206にはN⁺のソース210、ドレイン212が形成され、Pウェル208にはP⁺のソース214、ドレイン216が形成されている。

また、Nウェル206のチャネル領域上にはゲート酸化膜218を介してN⁺のポリシリコン層から成るゲート電極220が形成されている。そして、ソース210、ドレイン212を接続することで、第1のMOSキャパシタ230が構成される。

同様に、Pウェル208のチャネル領域上にはゲート酸化膜218を介してN⁺のポリシリコン層から成るゲート電極222が形成されている。そして、ソース214、ドレイン216を接続することで、第2のMOSキャパシタ232が構成される。この2つのMOSキャパシタ230、232間には素子分離用のフィールド酸化膜224が形成されている。

第1, 第2のMOSキャパシタ230, 232のゲート電極220, 222を接続し、ソース210, 214及びドレイン212, 216を接続することで、第1, 第2のMOSキャパシタ230, 232が並列接続される。

このMOSキャパシタ230, 232は、シングルーゲートのMOSトランジスタの製造プロセスを用いて形成することができる。

(第8実施例)

次に、本発明の半導体容量装置を用いて構成される半導体装置の具体例について、図22～図24を参照して説明する。

図22は積分器を示し、オペアンプ300と、オペアンプ300の入力線302途中に設けられた抵抗304と、オペアンプ300の帰還線306途中に形成されたコンデンサ308とから構成される。コンデンサ308は第1～第7の実施例にて説明した半導体容量装置のいずれかにて構成され、その他の構成も薄膜プロセスにて同一基板上に形成される。

この積分器の特性は、抵抗304の抵抗値Rとコンデンサ308の容量値Cの精度に依存する。このため、容量値Cの電圧依存性を少なくすることで、積分器の演算精度を高めることができる。

図23は、6ビットの容量アレイ型のDAC（デジタル アナログ コンバータ）を示している。このDACは、第1実施例～第7実施例のいずれかの半導体容量装置を用いて構成される7つのコンデンサ310を有する。1つのコンデンサ310の一端は接地され、他の6つのコンデンサ310の一端には、それぞれMOSスイッチ312を介して、基準電圧Vrefまたは接地電圧が選択的に供給される。この各MOSスイッチ312は、バイナリデータB1～B6に基づいて切り換え制御される。7つのコンデンサ310の他端は共通接続され、その共通接続線314の電圧がバッファ316を介してVoutとして出力される。なお、イニシャライズスイッチ318は、共通接続線314の電位を初期化するためのものである。

このDACの線形性は、7つの容量310の整数比精度で決まる。この7つのコンデンサ310に印加される電圧は、バイナリデータに依存して異なるが、

その容量の電圧依存性を少なくすることで、DACの線形性を向上させることができる。

図24は、RCアクティブフィルタ回路を示している。このRCアクティブフィルタ回路は、複数の抵抗 $R_1 \sim R_{10}$ と、複数のコンデンサ $C_1 \sim C_3$ と、複数のオペアンプ $OP_1 \sim OP_3$ とで構成される。コンデンサ $C_1 \sim C_3$ は、第1～第7の実施例にて説明した半導体容量装置のいずれかにて構成され、その他の構成も薄膜プロセスにて同一基板上に形成される。

このRCアクティブフィルタの特性周波数は、抵抗と容量との積（RC時定数）定まる。このため、各コンデンサ $C_1 \sim C_3$ の容量値の電圧依存性を少なくすることで、フィルタ精度を高めることができる。

なお、図22～図24に示す各回路は、本発明の半導体容量装置または半導体装置を適用した一例であり、容量の電圧依存性を少なくすることで特性が向上する各種の回路に本発明を適用できることは言うまでもない。

以上、本発明の実施例について説明したが、本発明は上記の各実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば、本発明の半導体容量装置を構成する第1の電極の半導体型、第2の電極の半導体型、第3の電極の半導体型及び第4の電極の半導体型の組合せとしては、第1実施例のような(N^+ , N^+ , N^+ , P^+)及び第7実施例のような(N^+ , N_{well} , N^+ , P_{well})に限らず、(N^+ , N^- , N^+ , P^-)、(P^+ , N^- , P^+ , P^-)、(P^+ , P_{well} , P^+ , N_{well})などであっても良い。

請求の範囲

1. 第1の電圧依存係数 K_1 を持つ第1の半導体容量素子と、

前記第1の電圧依存係数 K_1 とは逆符号の第2の電圧依存係数 K_2 を持つ第2の半導体容量素子と、

前記第1、第2の容量素子を並列または直列に接続する配線層と、
を有することを特徴とする半導体容量装置。

2. 請求項1において、

前記第1の半導体容量素子の有効面積を S_1 とし、前記第2の半導体容量素子の有効面積を S_2 とし、 $|K_1| < |K_2|$ のときに、 $S_1 > S_2$ に設定したことを特徴とする半導体容量装置。

3. 請求項2において、

$|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)| < 100 \text{ ppm/V}$ としたことを特徴とする半導体容量装置。

4. 請求項2において、

$|K_1 \cdot S_1| \div |K_2 \cdot S_2|$ に設定したことを特徴とする半導体容量装置。

5. 請求項1乃至4のいずれかに記載の半導体容量装置が形成された基板と、

前記基板上に形成されたトランジスタと、
を有することを特徴とする半導体装置。

6. 第1の容量素子と、

前記第1の容量素子と並列または直列接続された第2の容量素子と、

を有し、

前記第1の容量素子は、

第1電極層と、

前記第1電極層に対して絶縁膜を介して対向配置される第一導電型半導体から成る第2電極層と、

を有し、

前記第2の容量素子は、

第3電極層と、

前記第1電極層に対して絶縁膜を介して対向配置される第二導電型半導体から成る第4電極層と、

を有することを特徴とする半導体容量装置。

7. 請求項6において、

前記第1の容量素子の前記第1電極層と、前記第2の容量素子の前記第3電極層とは、同一工程で成膜される同一材質にて形成されていることを特徴とする半導体容量装置。

8. 請求項7において、

前記第1の容量素子の前記第1電極層と、前記第2の容量素子の前記第3電極層とは、前記第一導電型の半導体にて形成されていることを特徴とする半導体容量装置。

9. 請求項7において、

前記第1の容量素子の前記第1電極層と、前記第2の容量素子の前記第3電極層とは、前記第二導電型の半導体にて形成されていることを特徴とする半導体容量装置。

10. 請求項8または9において、

前記第2電極層中の不純物濃度は前記第1電極層中の不純物濃度より低く、前記第4電極層中の不純物濃度は前記第3電極層中の不純物濃度より低いことを特徴とする半導体容量装置。

11. 請求項6乃至10のいずれかにおいて、

前記第1電極層と前記第3電極層とは、前記第2電極層及び前記第4電極層と対向する位置に亘って連続形成される一つの電極層であることを特徴とする半導体容量装置。

12. 請求項6において、

前記第2電極層は前記第一導電型のウェルにて形成され、前記第4電極層は前記第二導電型のウェルにて形成されていることを特徴とする半導体容量装置。

13. 請求項12において、

前記第 1, 第 2 の容量素子は共に MOS キャパシタであることを特徴とする半導体容量装置。

14. 請求項 6 乃至 11 のいずれかにおいて、

前記第 1 の容量素子の前記第 2 電極層を形成する前記第一導電型半導体と、前記第 2 の容量素子の前記第 4 電極層を形成する前記第二導電型半導体とは、半導体接合されていることを特徴とする半導体容量装置。

15. 請求項 6 乃至 14 のいずれかにおいて、

前記第 1 の容量素子の前記第 1, 第 2 電極層が対向する面積を S_1 とし、前記第 2 の容量素子の前記第 3, 第 4 電極層が対向する面積を S_2 としたとき、各面積 S_1 , S_2 を異ならせたことを特徴とする半導体容量装置。

16. 請求項 15 において、

前記第 1 の容量素子の電圧依存係数を K_1 とし、前記第 2 の容量素子の電圧依存係数を K_2 とし、 $|K_1| < |K_2|$ のときに、 $S_1 > S_2$ としたことを特徴とする半導体容量装置。

17. 請求項 15 において、

前記第 1 の容量素子の電圧依存係数を K_1 とし、前記第 2 の容量素子の電圧依存係数を K_2 とし、 $|K_1| > |K_2|$ のときに、 $S_1 < S_2$ としたことを特徴とする半導体容量装置。

18. 請求項 16 または 17 において、

$|K_1 \cdot S_1 / (S_1 + S_2) + K_2 \cdot S_2 / (S_1 + S_2)| < 100 \text{ ppm/V}$ としたことを特徴とする半導体容量装置。

19. 請求項 16 または 17 において、

$|K_1 \cdot S_1| \div |K_2 \cdot S_2|$ としたことを特徴とする半導体容量装置。

20. 請求項 5 乃至 17 のいずれかに記載の半導体容量装置が形成された基板と、

前記基板上に形成され、ドレイン領域、ソース領域及びゲート電極を含む少なくとも一つのトランジスタと、

を有することを特徴とする半導体装置。

21. 請求項 20 において、

前記第 2 電極層、前記第 4 電極層及び前記ゲート電極は、同一工程で成膜される同一材質にて形成されていることを特徴とする半導体容量装置。

22. 請求項 20 または 21 において、

前記少なくとも一つのトランジスタはフィールド酸化膜を有し、

前記第 1, 第 2 の半導体容量素子は前記フィールド酸化膜上に形成されていることを特徴とする半導体容量装置。

23. 請求項 20 乃至 22 のいずれかにおいて、

前記少なくとも一つのトランジスタは、前記ソース、ドレインが前記第一導電型のウェル領域に形成され、

前記第 1 容量素子の前記第 2 電極層には、前記少なくとも一つのトランジスタの前記第一導電型のウェル領域へのイオン注入工程と同一工程を用いて、不純物イオンが注入されていることを特徴とする半導体装置。

24. 請求項 20 乃至 22 のいずれかにおいて、

前記少なくとも一つのトランジスタは、前記ソース、ドレインが前記第二導電型のウェル領域に形成され、

前記第 2 容量素子の前記第 4 電極層には、前記少なくとも一つのトランジスタの前記第二導電型のウェル領域へのイオン注入工程と同一工程を用いて、不純物イオンが注入されていることを特徴とする半導体装置。

25. 請求項 20 乃至 22 のいずれかにおいて、

前記少なくとも一つのトランジスタは、

前記ソース、ドレインが前記第一導電型のウェル領域に形成された第 1 のトランジスタと、

前記ソース、ドレインが前記第二導電型のウェル領域に形成された第 2 のトランジスタと、

を含み、

前記第 1 容量素子の前記第 2 電極層には、前記第 1 のトランジスタの前記第一導電型のウェル領域へのイオン注入工程と同一工程を用いて不純物イオンが注入され、

前記第 2 容量素子の前記第 4 電極層には、前記第 2 のトランジスタの前記第二導電型のウェル領域へのイオン注入工程と同一工程を用いて、不純物イオンが注入されていることを特徴とする半導体装置。

1/12

FIG. 1

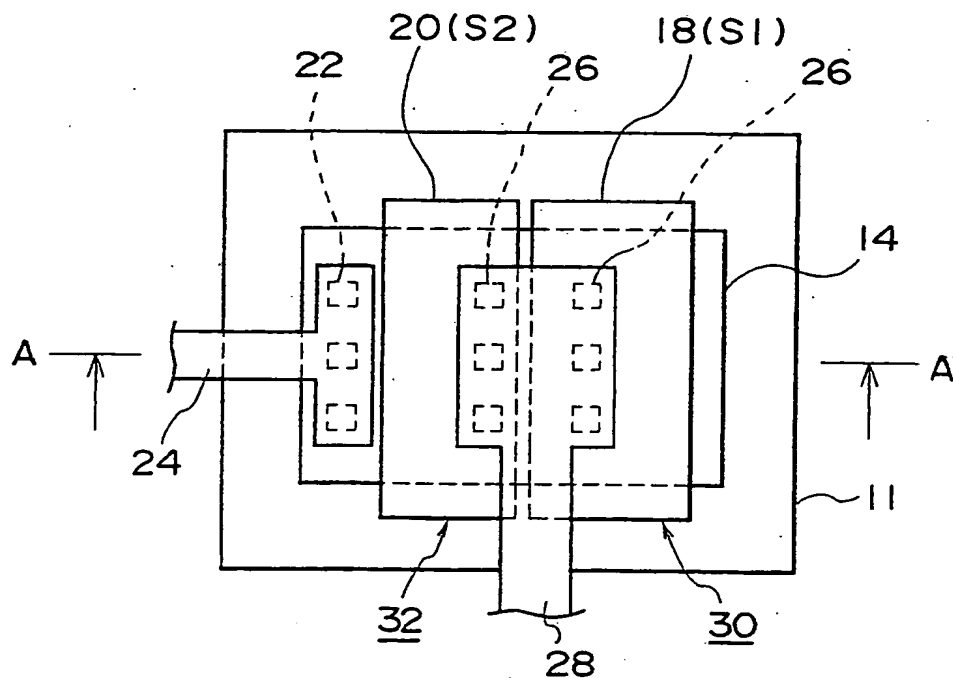
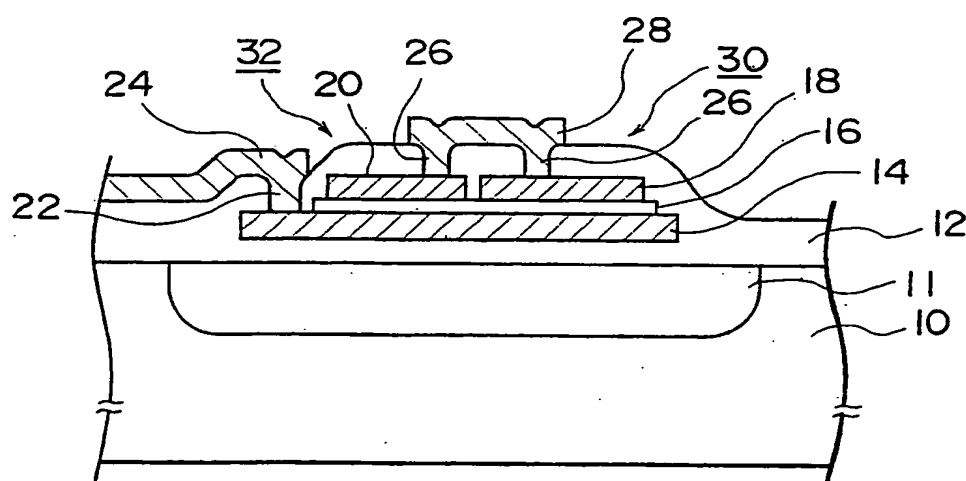


FIG. 2



2/12

FIG. 3

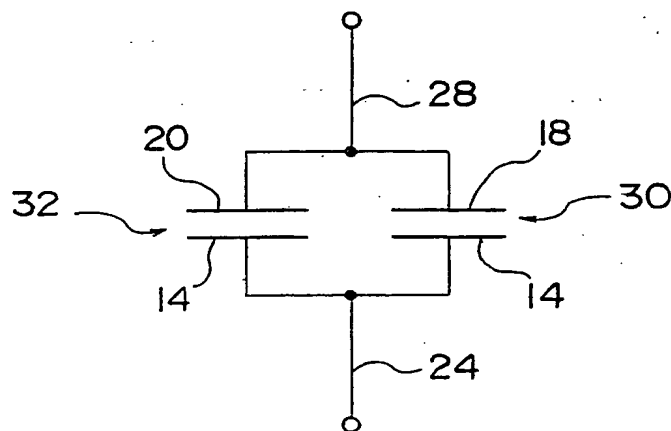
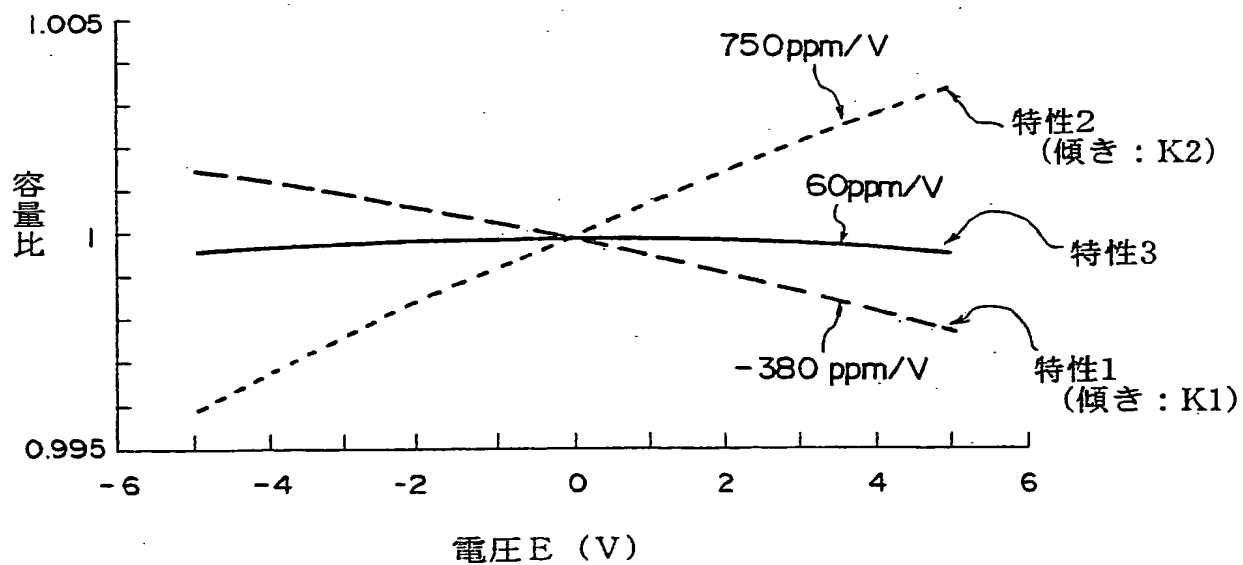


FIG. 4



3/12

FIG. 5

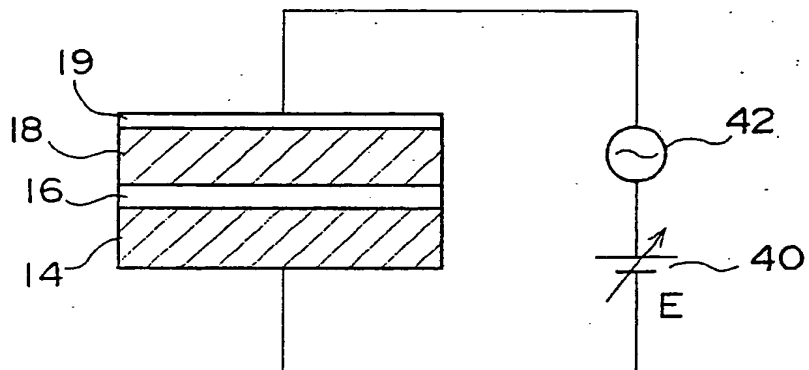


FIG. 6

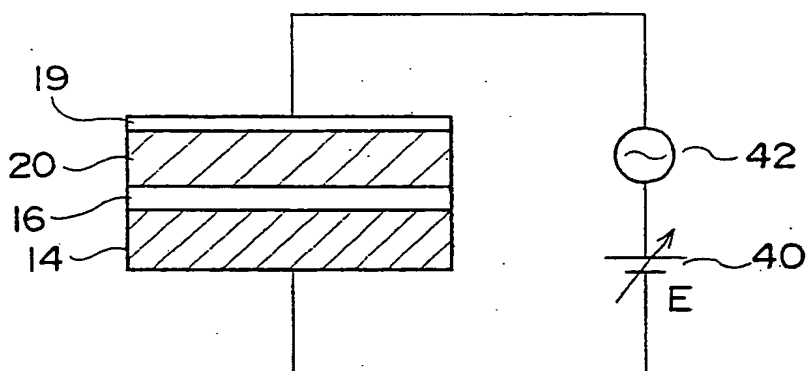


FIG. 7

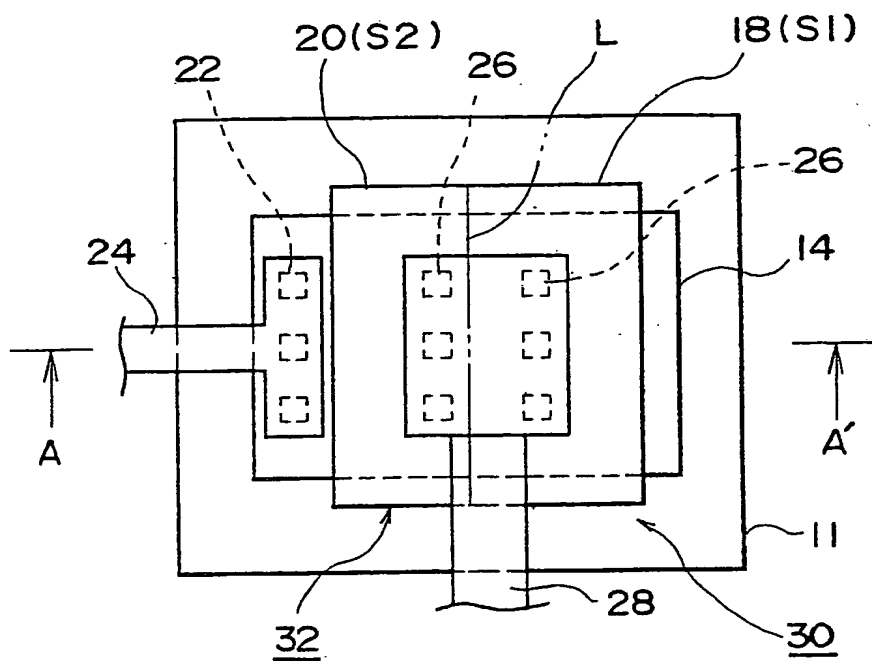
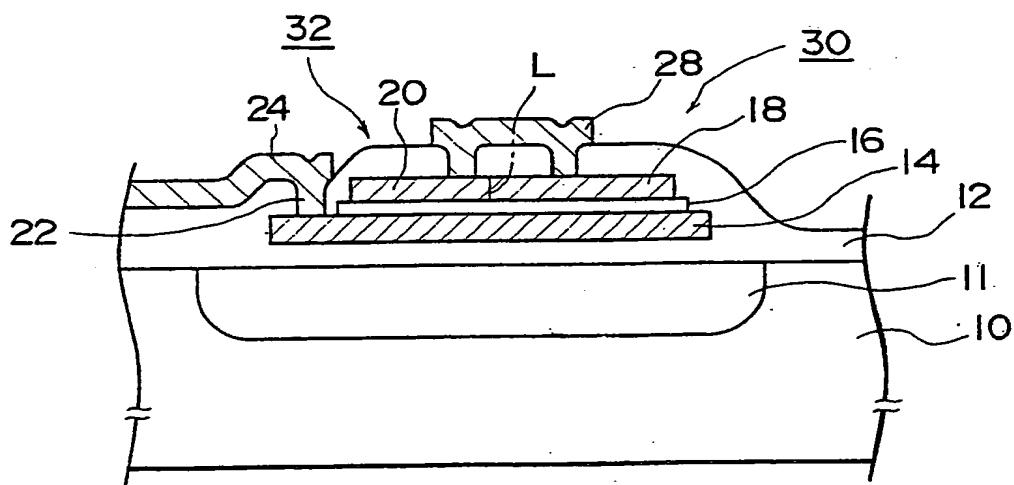


FIG. 8



5/12

FIG. 9

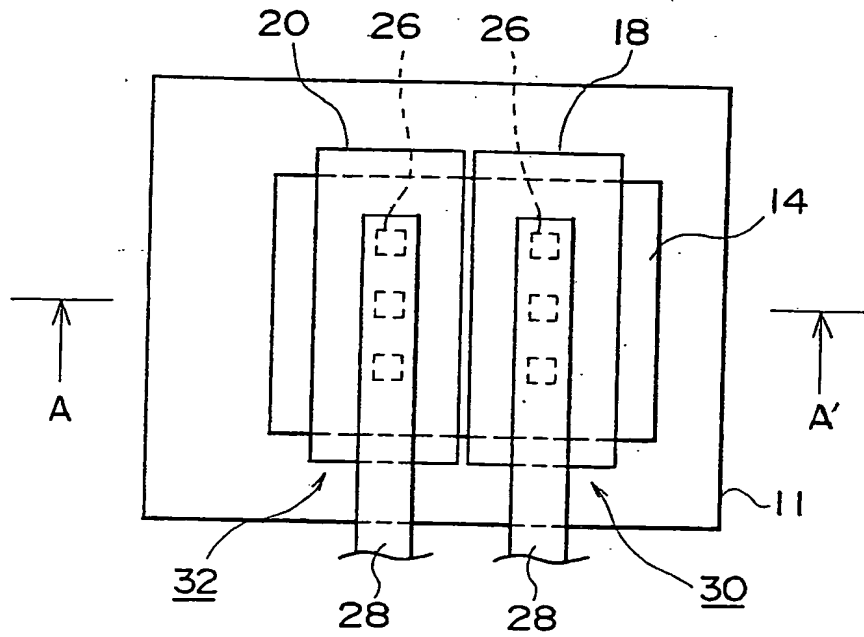
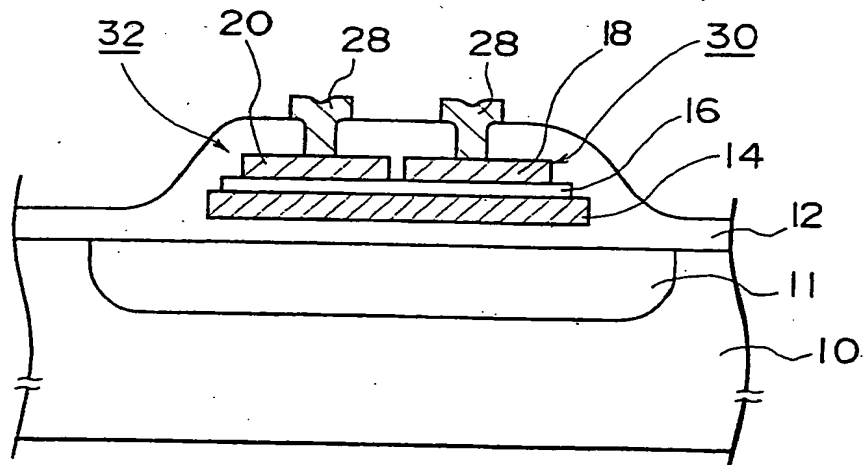


FIG. 10



6/12

FIG. 11

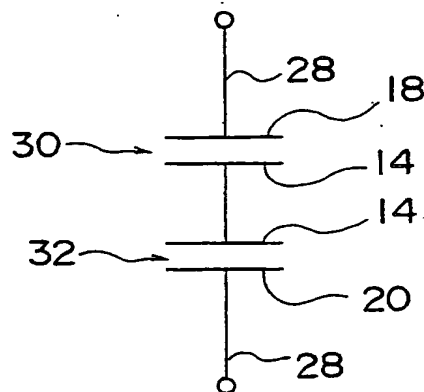


FIG. 12

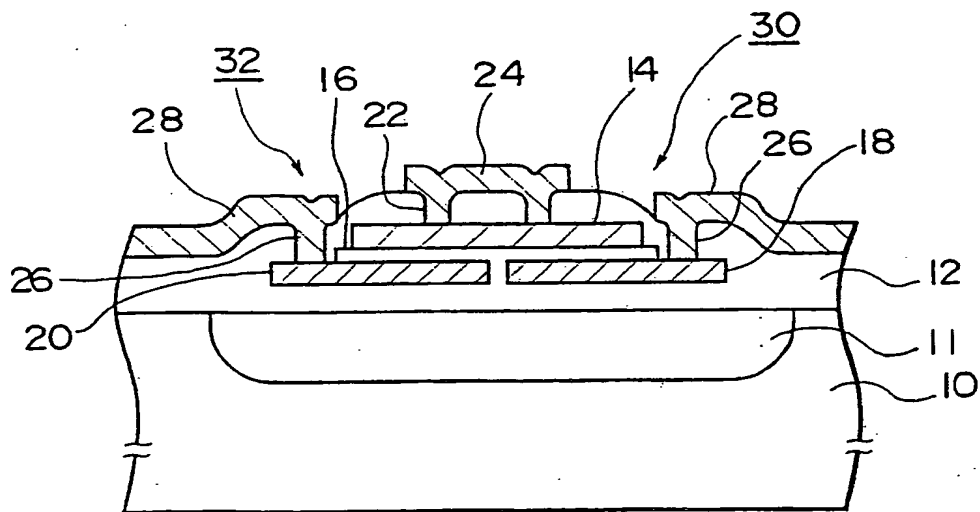


FIG.13

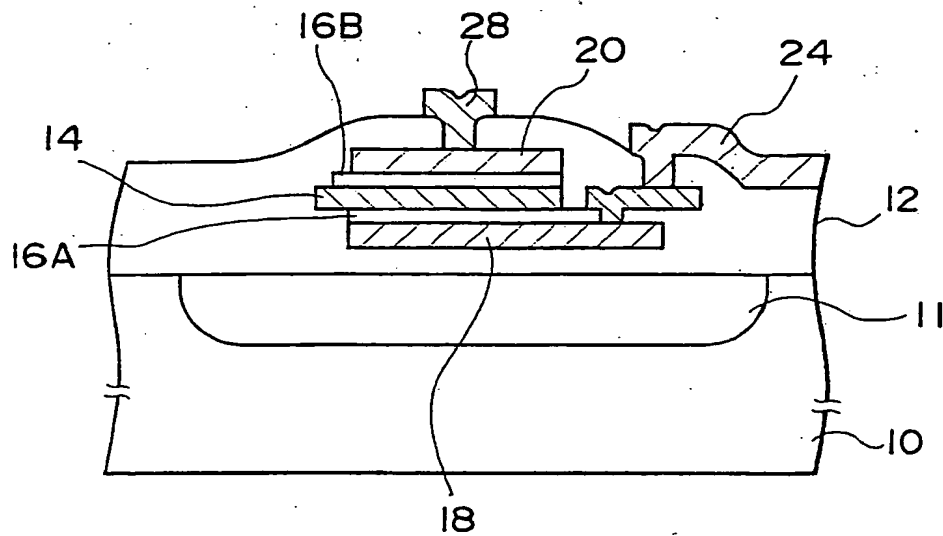
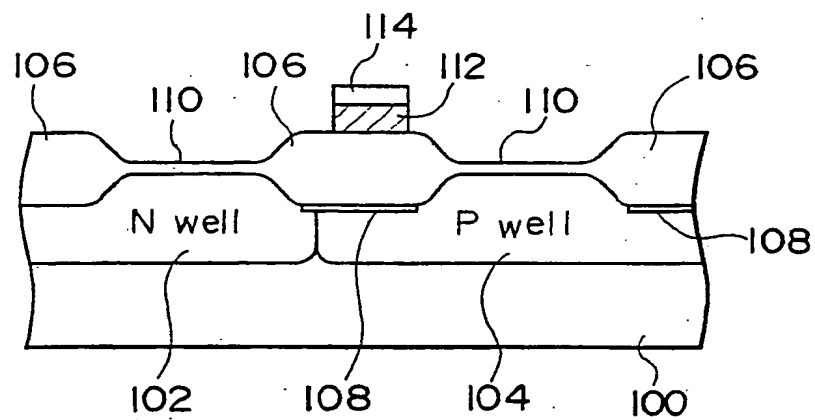


FIG. 14



8/12

FIG. 15

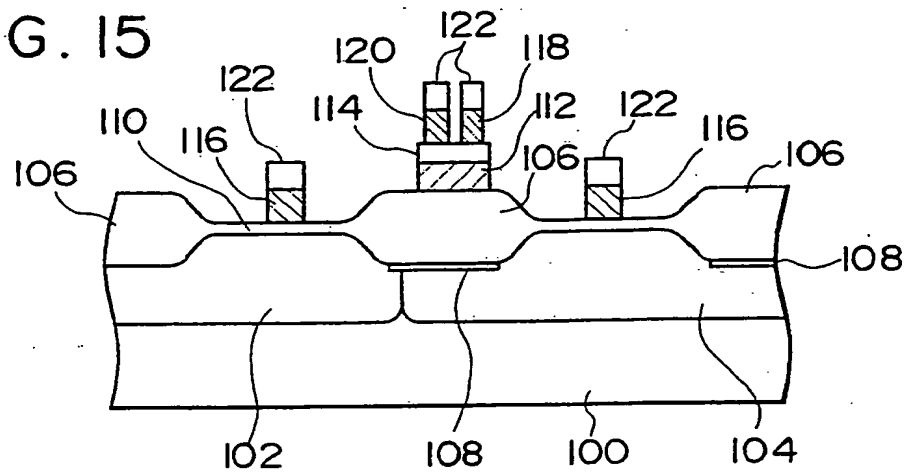


FIG. 16

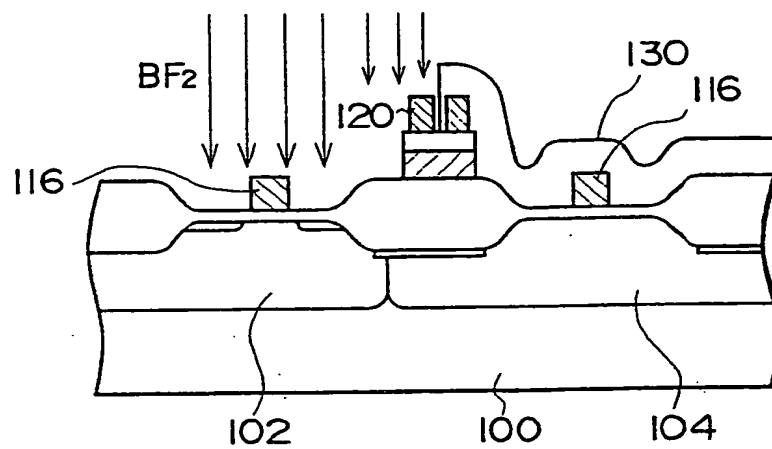
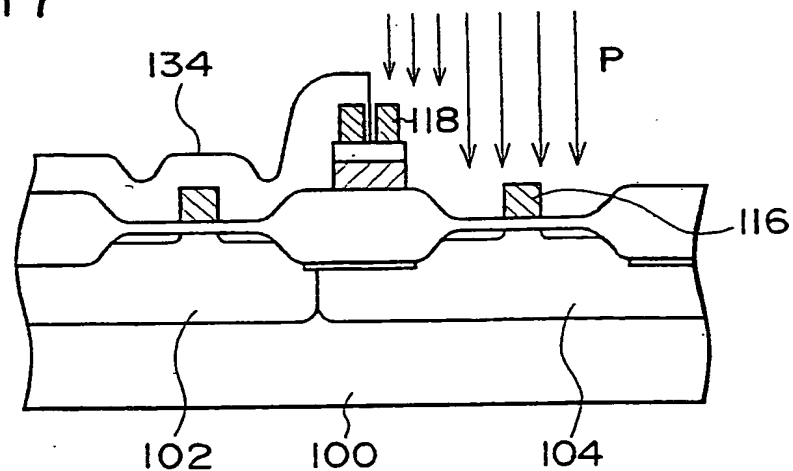


FIG. 17



9/12

FIG. 18

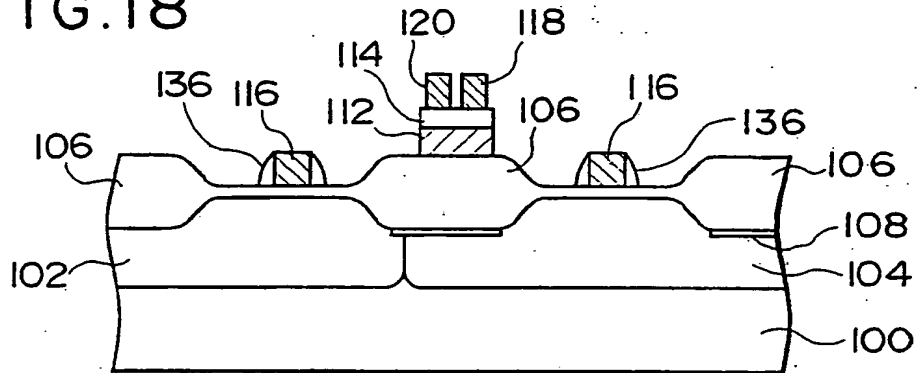


FIG. 19

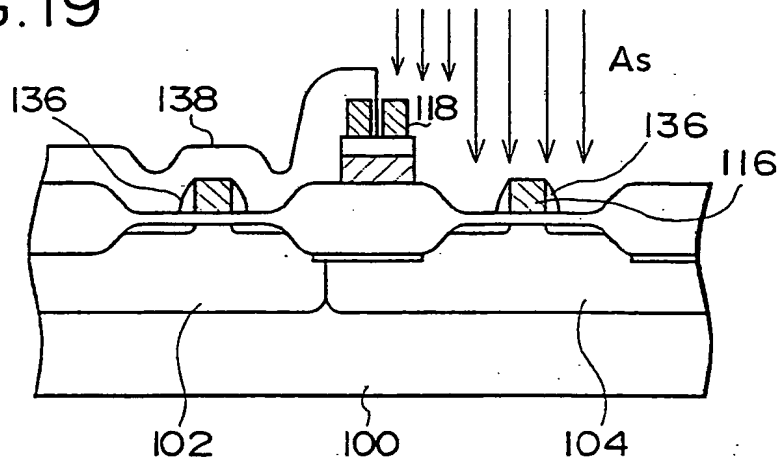
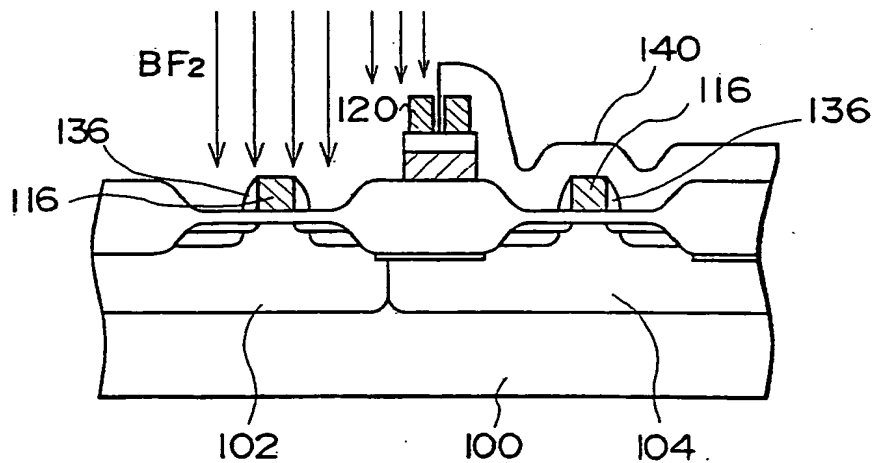


FIG. 20



10/12

FIG. 21

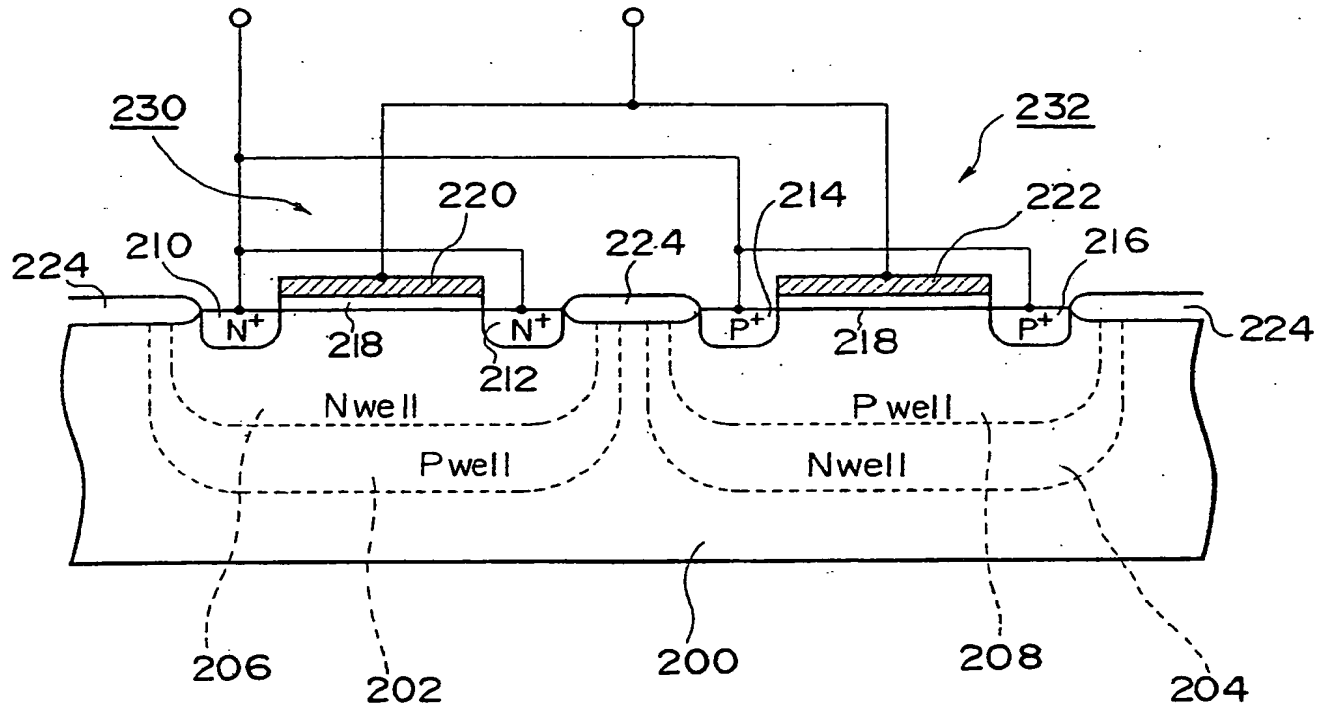
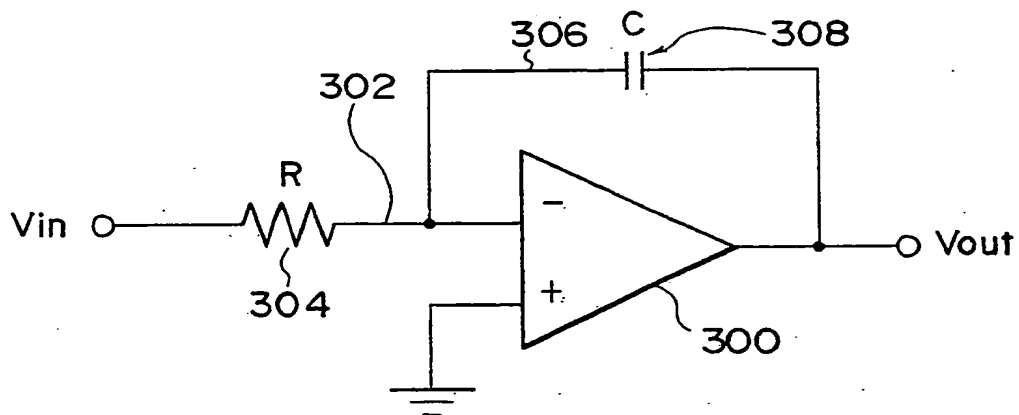


FIG. 22



11/12

FIG. 23

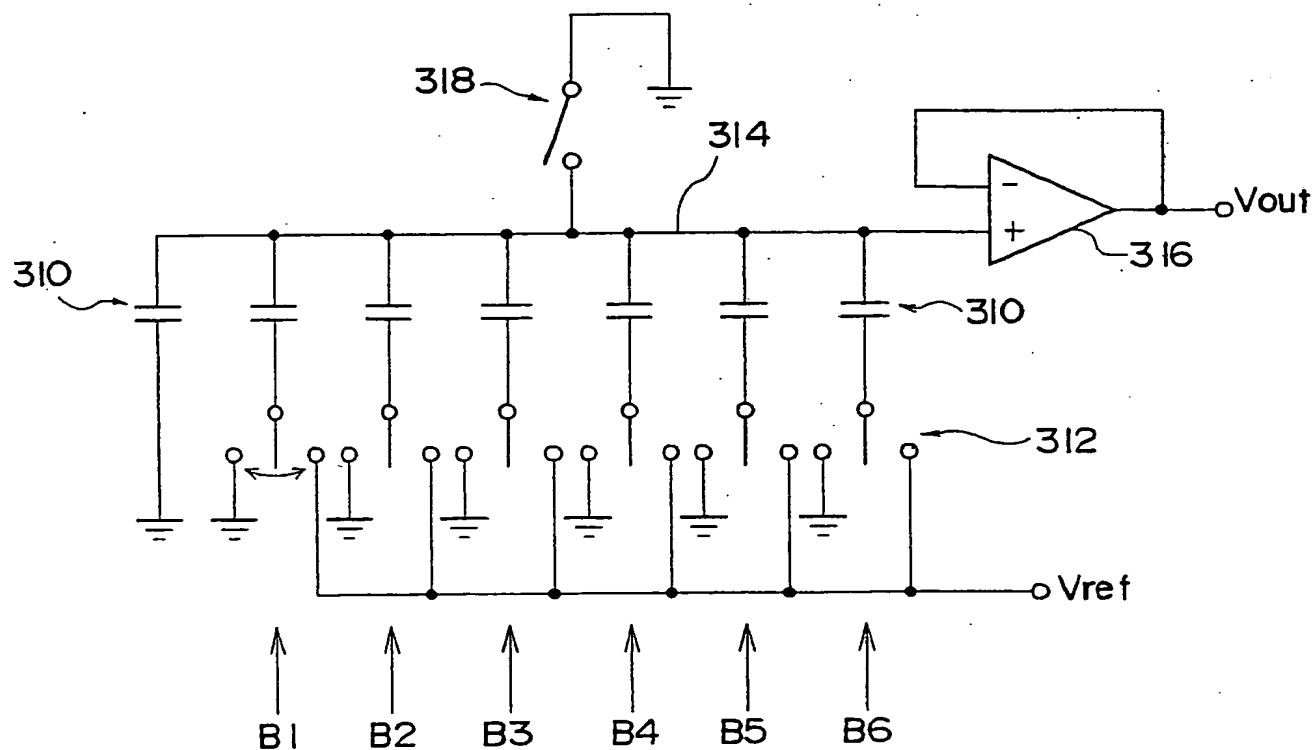
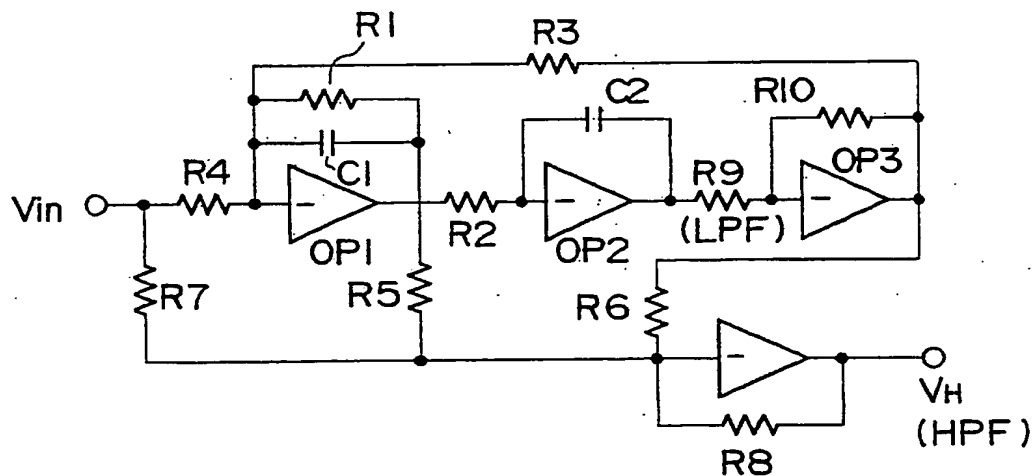


FIG. 24



12/12

FIG. 25

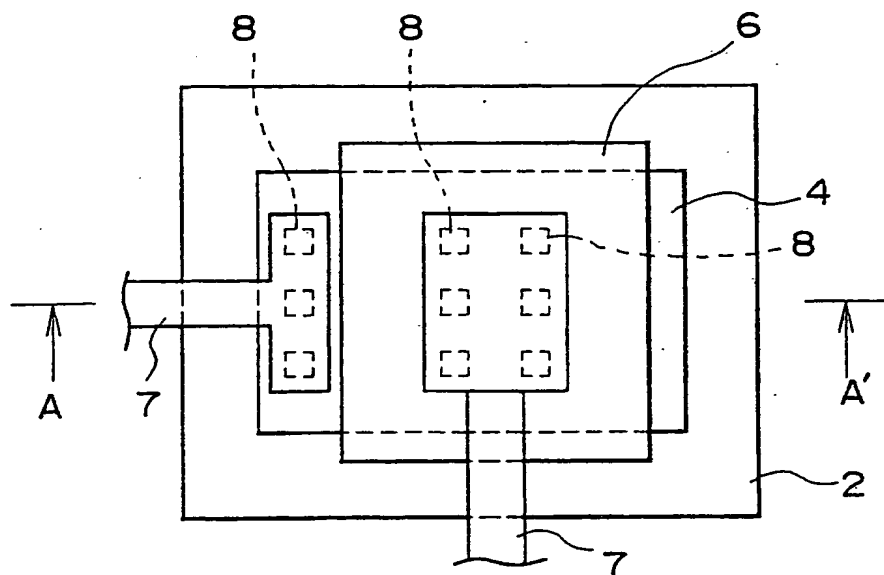
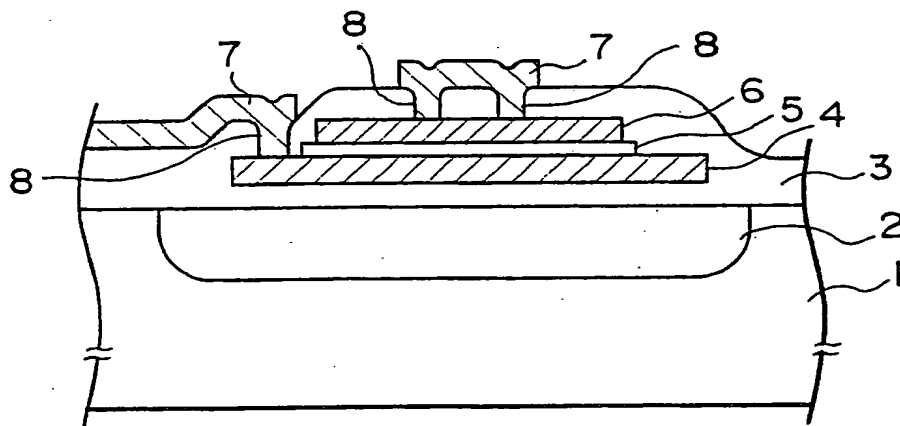


FIG. 26



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01264

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1957-1993 Toroku Jitsuyo Shinan Koho 1994-1998

Kokai Jitsuyo Shinan Koho 1972-1994

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 73580/1991 (Laid-open No. 25743/1993) (Yokogawa Electric Corp.), April 2, 1993 (02. 04. 93), Fig. 1 and the description corresponding thereto in the specification (Family: none)	1, 6, 12, 13
Y		5, 7, 11, 20
Y	JP, 6-132477, A (Nippondenso Co., Ltd.), May 13, 1994 (13. 05. 94), Fig. 10 (Family: none)	11

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
July 7, 1998 (07. 07. 98)Date of mailing of the international search report
July 14, 1998 (14. 07. 98)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01264

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 59-55047, A (Hitachi, Ltd.), March 29, 1984 (29. 03. 84) (Family: none)	1, 5, 6, 7, 11, 15, 20-25
Y		2, 3, 4, 8, 9, 12, 13, 16-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H01L27/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1957-1993

日本国公開実用新案公報 1972-1994

日本国登録実用新案公報 1994-1998

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	日本国実用新案登録出願 3-73580 号 (日本国実用新案登録出願公開 5-25743 号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (横河電機株式会社), 2. 4 月. 1 9 9 3 (02. 04. 93), 図 1 及び明細書の対応する箇所, (ファミリーなし)	1, 6, 12, 13
Y		5, 7, 11, 20
Y	J P, 6-132477 A (日本電装株式会社), 13. 5 月. 1 9 9 4 (13. 05. 94), 図 10, (ファミリーなし)	11

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07. 07. 98

国際調査報告の発送日

14 / 07 / 1998

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

池淵 立

4M

8831

電話番号 03-3581-1101 内線 3464

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 59-55047, A (株式会社日立製作所), 29. 3 月. 1984 (29. 03. 84), (ファミリーなし)	1, 5, 6, 7, 11, 15, 20-25
Y		2, 3, 4, 8, 9, 12, 13, 16-19,